

DIALOG(R)File 352:DERWENT WPI
(c) 1999 Derwent Info Ltd. All rts. reserv.

008793680 **Image available**

WPI Acc No: 91-297694/199141

XRPX Acc No: N91-228097

Active matrix liquid crystal display - has substrate covered with polysilicon thin layer by CVD to form semiconductor layer and pixel electrodes formed on insulating layers

Patent Assignee: SHARP KK (SHAF)

Inventor: MATSUSHIMA Y; SHIMADA T; TAKAFUJI Y

Number of Countries: 005 Number of Patents: 005

Patent Family:

| Patent No | Kind | Date | Applicat No | Kind | Date | Main IPC | Week |
|-------------|------|----------|-------------|------|----------|--------------|----------|
| EP 450941 | A | 19911009 | EP 91302937 | A | 19910403 | | 199141 B |
| US 5182620 | A | 19930126 | US 91678077 | A | 19910402 | H01L-027/01 | 199307 |
| EP 450941 | A3 | 19920805 | EP 91302937 | A | 19910403 | | 199336 |
| EP 450941 | B1 | 19960619 | EP 91302937 | A | 19910403 | G02F-001/136 | 199629 |
| DE 69120329 | E | 19960725 | DE 620329 | A | 19910403 | G02F-001/136 | 199635 |
| | | | EP 91302937 | A | 19910403 | | |

Priority Applications (No Type Date): JP 9090963 A 19900405

Cited Patents: NoSR.Pub; EP 321038; EP 369621; US 4704002

Patent Details:

| Patent | Kind | Lan | Pg | Filing Notes | Application | Patent |
|------------|------|-----|----|--------------|-------------|--------|
| US 5182620 | A | | 10 | | | |
| EP 450941 | B1 | E | 13 | | | |

Designated States (Regional): DE FR GB NL

DE 69120329 E Based on EP 450941

Abstract (Basic): EP 450941 A

The active matrix display comprises a pair of insulated substrates having a matrix arrangement of pixel electrodes formed on the insulating layers and interconnected by image signal lines which are covered by an insulating layer. The pixel electrodes overlay the signal lines and make contact by protruding through the insulating layer.

Capacitors are used to retain the pixel electrode charge. The second insulating layer comprises a TFT used as a switch to selectively trigger pixel electrodes.

USE/ADVANTAGE - For large wall-hung TV display, for video camera colour viewfinder. Easier chip mounting. (8pp Dwg.No.1/6)

Title Terms: ACTIVE; MATRIX; LIQUID; CRYSTAL; DISPLAY; SUBSTRATE; COVER;

POLY; SILICON; THIN; LAYER; CVD; FORM; SEMICONDUCTOR; LAYER; PIXEL;
ELECTRODE; FORMING; INSULATE; LAYER

Derwent Class: P81; U14

International Patent Class (Main): G02F-001/136; H01L-027/01

International Patent Class (Additional): G02F-001/13

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO
(c) 1999 JPO & JAPIO. All rts. reserv.

03625924 **Image available**

ACTIVE MATRIX DISPLAY DEVICE

PUB. NO.: **03-288824** [JP 3288824 A]

PUBLISHED: December 19, 1991 (19911219)

INVENTOR(s): SHIMADA NAOYUKI
 MATSUSHIMA YASUHIRO
 TAKATO YUTAKA

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 02-090963 [JP 9090963]

FILED: April 05, 1990 (19900405)

INTL CLASS: [5] G02F-001/1333; G02F-001/136

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS)

JOURNAL: Section: P, Section No. 1329, Vol. 16, No. 121, Pg. 139,
 March 26, 1992 (19920326)

ABSTRACT

PURPOSE: To attain the set up of the area of picture element electrodes to a large value and to obtain the image quality of high aperture rate and high accuracy by forming an inter-layer insulating film on the whole surface of a signal line and an additional capacity common wiring and then forming the picture element electrodes on the insulating film.

CONSTITUTION: This active matrix display device is provided with a pair of insulating bases, the picture element electrodes 4 arrayed like a matrix on the inside of either one of the bases 11 and the signal line wired between the electrodes 4 to supply a video signal. The inter-layer insulating film 17 is formed on the whole surface of the signal line 2 and the electrodes 4 are formed on the layer 17. Thereby, it is unnecessary to consider a patterning error at the time of forming the electrodes 4 and the total area of the electrodes 4 can be increased. Since light leakage from a gap between the signal line 2 and the electrode 4 or a gap between the additional capacity wiring 8 and the electrode 4 can be prevented, the superposition of a light shielding film to these gaps is unnecessary. Thus, the aperture rate can be improved.

⑫ 公開特許公報(A)

平3-288824

⑤ Int. Cl.³

G 02 F 1/1333
1/136

識別記号

5 0 5
5 0 0

庁内整理番号

8806-2K
9018-2K

⑬ 公開 平成3年(1991)12月19日

審査請求 未請求 請求項の数 4 (全9頁)

⑭ 発明の名称 アクティブマトリクス表示装置

⑮ 特 願 平2-90963

⑯ 出 願 平2(1990)4月5日

⑰ 発 明 者 島 田 尚 幸 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑱ 発 明 者 松 島 康 浩 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 発 明 者 高 藤 裕 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑳ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉑ 代 理 人 弁理士 山本 秀策

明 細 書

1. 発明の名称

アクティブマトリクス表示装置

2. 特許請求の範囲

1. 一対の絶縁性基板と、該一対の基板の何れか一方の基板内面にマトリクス状に配列された絵素電極と、該絵素電極間に配線され映像信号を供給する信号線と、を備えたアクティブマトリクス表示装置であって、

該信号線上の全面に層間絶縁膜が形成され、該層間絶縁膜上に該絵素電極が形成されているアクティブマトリクス表示装置。

2. 前記絵素電極の一部が前記信号線の一部に前記層間絶縁膜を介して重畳されている、請求項1に記載のアクティブマトリクス表示装置。

3. 一対の絶縁性基板と、該一対の基板の何れか一方の基板内面にマトリクス状に配列された絵素電極と、該絵素電極間に配線され映像信号を供給する信号線と、該絵素電極の電荷を保持するための付加容量と、該付加容量の一方の電極に接続

された付加容量共通配線と、を備えたアクティブマトリクス表示装置であって、

該信号線上の全面に層間絶縁膜が形成され、該層間絶縁膜上に該絵素電極が形成され、該絵素電極の一部が該付加容量共通配線の一部に重畳されているアクティブマトリクス表示装置。

4. 前記一方の基板上に、半導体層、ゲート絶縁膜、及びゲート電極が順次形成されたスタガ型の薄膜トランジスタを有し、該薄膜トランジスタのソース電極が前記信号線に接続され、該薄膜トランジスタのドレイン電極が前記絵素電極に接続されている、請求項1から3の何れかに記載のアクティブマトリクス表示装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、薄膜トランジスタ(以下では「TFT」と称す)等のスイッチング素子を有し、液晶等を表示媒体として用いたアクティブマトリクス表示装置に関する。

(従来の技術)

近年、液晶等を表示媒体として用いたアクティブマトリクス表示装置が、活発に研究されている。中でも液晶を用いたアクティブマトリクス型の液晶ディスプレイ（以下では「LCD」と称す）は、平面ディスプレイとして研究され、その成果も著実に上がってきている。現在のアクティブマトリクス型のLCDの研究開発には二つの流れがある。一つはいわゆる壁掛けテレビの実現を目指した、表示画面の大面積化である。他の一つは表示画面の高精細化である。特に、小型で高精細の表示を行うアクティブマトリクス型のLCDには、ビデオカメラ用のカラービューファインダとして大きな需要が期待されている。

アクティブマトリクス型のLCDには、TFTアレイ部を駆動するためのICチップが実装される。しかし、小型で高精細な表示を行うアクティブマトリクス型のLCDでは、接続端子間の距離が非常に小さくなり、実装が困難となる。この点を解決するため、小型高精細のアクティブマトリクス型のLCDでは、TFTアレイが形成された

基板上に駆動回路が形成される。

駆動回路とTFTアレイとを同一基板上に形成したアクティブマトリクス表示装置の基本的構造の模式図を、第4図に示す。この表示装置では基板50上に、ゲート駆動回路54、ソース駆動回路55、及びTFTアレイ部53が形成されている。TFTアレイ部53には、ゲート駆動回路54から延びる多数の並行するゲートバス配線51が配設されている。ソース駆動回路55からは多数のソースバス配線52が、ゲートバス配線51に直交して配設されている。更に、ソースバス配線52に並行して、付加容量共通配線59が配設されている。

ソースバス配線52と、ゲートバス配線51、51と、付加容量共通配線59とに囲まれた矩形の領域には、TFT56、絵素57、及び付加容量58が設けられている。TFT56のゲート電極はゲートバス配線51に接続され、ソース電極はソースバス配線52に接続されている。TFT56のドレイン電極に接続された絵素電極と対向

基板上的の対向電極との間に液晶が封入され、絵素57が構成されている。また、TFT56と付加容量共通配線59との間に付加容量58が形成されている。付加容量共通配線59は、対向電極と同じ電位の電極に接続されている。

この表示装置ではゲート駆動回路54からの信号によって、ゲートバス配線51上に接続されているTFT56がオン状態となる。一方、ソース駆動回路55からソースバス配線52を通じて絵素57に映像信号が送られる。この映像信号はTFT56がオフ状態となった後も、絵素を構成する絵素電極及び対向電極の間に保持される。ところが、小型で高精細なアクティブマトリクス型LCDでは絵素の面積は非常に小さくなるので、絵素電極及び対向電極との間で形成されるコンデンサの容量が小さくなる。従って、映像信号を必要な時間保持することができなくなるという問題点が生じる。一方、絵素電極の電位に対するバス配線の電位の変動が大きくなるという問題も生じる。そこで、絵素電極と対向電極との間のコンデンサ

の容量不足を補うために、各絵素57に並列に付加容量58が設けられているのである。付加容量58の一方の電極はTFT56のドレイン電極に接続されている。付加容量58のもう一方の電極は対向電極と同じ電位でなければならない。そのため、この電極は付加容量共通配線59を介して対向電極と同じ電位の電極に接続されている。

このような駆動回路一体型の多くのアクティブマトリクス表示装置では、TFTの半導体層として多結晶シリコンが用いられている。その理由は、電子及びホール移動度が大きいこと、n型及びp型のTFTが作製し得るのでCMOSの構成が可能であること等である。

（発明が解決しようとする課題）

このような駆動回路一体型のアクティブマトリクス型のLCDでは付加容量が設けられているので、絵素電極の表示に寄与する部分の面積が小さくなり、表示画面の開口率が低下するという問題点がある。このような開口率の低下を防止し、同時に信号遅延の生じない付加容量共通配線構造と

したアクティブマトリクス表示装置が、特願平1-304402号に開示されている。

第5図に上記表示装置に用いられるTFTアレイの部分平面図を示す。第6図に第5図のVI-VI線に沿った断面図を示す。第5図及び第6図を参照しながら、この表示装置を製造工程に従って説明する。前述のガラス基板11上の全面に、後に半導体層12及び容量用下部電極5となる多結晶シリコン薄膜がCVD法、スパッタリング法等によって形成される。多結晶シリコン薄膜のパターニングを行い、半導体層12及び容量用下部電極5が形成される。次に、CVD法、この多結晶シリコン薄膜上面の熱酸化等により、ゲート絶縁膜13が形成される。次に、容量用下部電極5の部分にイオン注入法によってドーピングを行い、低抵抗の容量用下部電極5が得られる。

次に、 n^+ 又は p^+ 型の多結晶シリコンによってゲートバス配線1、ゲート電極3a及び3b、並びに容量用上部電極6が形成される。容量用上部電極6と前述の容量用下部電極5との間で、付加

8はコンタクトホール7c上で幅が広がった形状に形成されている。従って、ソースバス配線2はコンタクトホール7aを介して半導体層12に接続され、付加容量共通配線8はコンタクトホール7cを介して容量用上部電極6に接続されることになる。付加容量共通配線8は表示装置として完成した後は、対向基板上の対向電極と同じ電位の電極に接続される。

更に、ITOから成る絵素電極4がパターン形成される。第5図に示すように、絵素電極4の一部はコンタクトホール7b上に延びている。従って、絵素電極4はコンタクトホール7bを介して半導体層12に接続される。さらにこの基板の全面に保護膜15が形成される。

このアクティブマトリクス表示装置の付加容量27は、容量用上部電極6と容量用下部電極5との間に、薄いゲート絶縁膜13を有しているのので、付加容量27の単位面積当りの容量を大きくすることができる。従って、表示画面上に占める付加容量27の面積を小さくすることができ、表示面

容量27が形成される。このゲート電極3a及び3bをマスクとし、且つ、フォトリソグラフィ法によって形成されたレジストをマスクとして、半導体層12のゲート電極3a及び3bの下方以外の部分にイオン注入が行なわれる。これにより、TFTのソース・ドレイン領域が自己整合的に形成される。

この基板上の全面に絶縁層14が形成される。次に、第5図に示すように3つのコンタクトホール7a、7b及び7cが形成される。コンタクトホール7a及び7bは、絶縁層14及び前述のゲート絶縁膜13を貫いて、半導体層12及び容量用下部電極5上にそれぞれ形成される。コンタクトホール7cは、絶縁層14を貫いて容量用上部電極6の端部の上に形成される。

次に、ソースバス配線2及び付加容量共通配線8が、Al金属等の低抵抗の金属を用いて同時に形成される。第5図に示すように、ソースバス配線2はコンタクトホール7a上で幅が広がった形状に形成されている。また、付加容量共通配線

面の開口率の低下を防止することができる。

表示画面の高精細化が更に進むと、絵素電極を更に小さくすることが必要となる。ところが、ある程度以上絵素電極の面積が小さくなると、絵素電極の大きさに比例して、ゲートバス配線1及びソースバス配線2の幅、TFT25a、25bの大きさ等を小さくすることができなくなる。従って、表示画面の開口部が小さくなり、表示画面が暗くなるという問題が生じる。

アクティブマトリクス表示装置の画面の明るさは、アクティブマトリクス基板上での絵素電極4の面積に単純に比例するものではない。絵素電極4上の液晶層には表示に対応した電界が存在し、液晶分子はこの電界に従って配向している。しかし、絵素電極4上以外の部分の液晶層には電界が加えられないため、液晶分子の配向が乱れている。アクティブマトリクス型のLCDに最もよく用いられているツイステッドネマティックモードでは、通常、白を表示した場合に複屈折の影響が小さいノーマリホワイト方式が用いられている。こ

のノーマリホワイト方式に於いては、絵素電極4上以外の電界の加えられない部分では白表示となる。そのため、コントラスト比が低下することとなる。コントラスト比の低下を防ぐため、対向基板上の絵素電極に対向する部分以外の部分に、遮光膜がしばしば形成される。遮光膜を形成すれば上述のコントラスト比の低下を防止することができる。ところが、対向基板とアクティブマトリクス基板との貼り合わせの誤差を考慮して、遮光膜は絵素電極の周縁部に重畳されるように形成される。このような重畳部によっても開口率が低下し、表示画面が暗くなる。

このように、小型高精細のアクティブマトリクス表示装置に於いては、開口率の低下による表示特性の低下が問題とされている。また、遮光膜の占める面積が大きい表示装置を投影型ディスプレイとして用いると、画像に遮光膜の黒い部分が現れるという問題点もある。

本発明はこのような問題点を解決するものであり、本発明の目的は、大きな面積の絵素電極を有

し、開口率が大きく、しかも高精細な表示画面を有するアクティブマトリクス表示装置を提供することである。

(課題を解決するための手段)

本発明のアクティブマトリクス表示装置は、一対の絶縁性基板と、該一対の基板の何れか一方の基板内面にマトリクス状に配列された絵素電極と、該絵素電極間に配線され映像信号を供給する信号線と、を備えたアクティブマトリクス表示装置であって、該信号線上の全面に層間絶縁膜が形成され、該層間絶縁膜上に該絵素電極が形成されており、そのことによって上記目的が達成される。

また、前記絵素電極の一部が前記信号線の一部に前記層間絶縁膜を介して重畳されている構成とすることもできる。

また、本発明のアクティブマトリクス表示装置は、一対の絶縁性基板と、該一対の基板の何れか一方の基板内面にマトリクス状に配列された絵素電極と、該絵素電極間に配線され映像信号を供給する信号線と、該絵素電極の電荷を保持するため

の付加容量と、該付加容量の一方の電極に接続された付加容量共通配線と、を備えたアクティブマトリクス表示装置であって、該信号線上の全面に層間絶縁膜が形成され、該層間絶縁膜上に該絵素電極が形成され、該絵素電極の一部が該付加容量共通配線の一部に重畳されており、そのことによって上記目的が達成される。

更に、前記一方の基板上に、半導体層、ゲート絶縁膜、及びゲート電極が順次形成されたスタガ型の薄膜トランジスタを有し、該薄膜トランジスタのソース電極が前記信号線に接続され、該薄膜トランジスタのドレイン電極が前記絵素電極に接続されている構成とすることもできる。

(作用)

従来のアクティブマトリクス表示装置では、信号線又は付加容量共通配線と絵素電極との間には、絶縁膜が設けられていないので、信号線又は付加容量共通配線と絵素電極とは重ならないように形成される必要がある。本発明のアクティブマトリクス表示装置では、信号線又は付加容量共通配線

上の全面に層間絶縁膜が形成され、更に層間絶縁膜上に絵素電極が形成されているので、絵素電極の形成に際して、パターニングの誤差を考慮する必要がない。従って、絵素電極の面積を大きくすることができ、開口率の向上を図ることができる。また、信号線及び絵素電極の間隙からの光の漏れ、又は付加容量共通配線及び絵素電極の間隙からの光の漏れが防止されるので、これらの間隙に重畳して遮光膜を設ける必要がなく、そのことによって開口率の向上を図ることができる。

(実施例)

本発明を実施例について以下に説明する。

第1図に本発明のアクティブマトリクス表示装置のTFTアレイ部22の部分平面図を示す。第2図及び第3図に、第1図のII-II線及びIII-III線に沿った断面図をそれぞれ示す。第1図、第2図及び第3図を参照しながら、本実施例を製造工程に従って説明する。ガラス、石英等の透明絶縁性基板11上の全面に、後に半導体層12及び容量用下部電極5となる多結晶シリコン薄膜をCV

D法によって形成した。本実施例の表示装置にはスタガ型のTFETが用いられる。次に、CVD法、スパッタリング法、又はこの多結晶シリコン薄膜上面の熱酸化により、後にゲート絶縁膜13となる絶縁膜を形成した。ゲート絶縁膜13の厚さは100nmである。次に、上記多結晶シリコン薄膜及び絶縁膜のパターニングを行い、半導体層12及び容量用下部電極5を第1図に示す形状で形成した。上述のゲート絶縁膜13の形成を半導体層12及び容量用下部電極5のパターン形成の後に行ってもよい。また、絶縁膜の形成前に、多結晶シリコン薄膜の結晶性を高めるため、レーザアニール、窒素雰囲気中でのアニール等の処理を行うことも可能である。次に、容量用下部電極5の部分にイオン注入を行い、低抵抗の容量用下部電極5を得た。

次に、後にゲートバス配線1、ゲート電極3a及び3b、並びに容量用上部電極6となる多結晶シリコン薄膜をCVD法によって形成し、ドーピングを行った。これにより、低抵抗の多結晶シリ

平坦にすることができる。絶縁層14の上面が平坦であると、その上に形成される金属配線の断線を防止することができる。第2図に示すように、コンタクトホール7aは絶縁層14及び前述のゲート絶縁膜13を貫いて、半導体層12上に形成されている。コンタクトホール7cは、絶縁層14を貫いて容量用上部電極6の端部の上に形成されている。

次に、信号線として機能するソースバス配線2と、付加容量共通配線8とを、Al金属等の低抵抗の金属を用いて同時に形成した。第1図に示すように、ソースバス配線2はコンタクトホール7a上を通り、コンタクトホール7a上で幅が広くなった形状に形成されている。また、付加容量共通配線8はコンタクトホール7c上を通り、コンタクトホール7c上で幅が広くなった形状に形成されている。従って、ソースバス配線2はコンタクトホール7aを介して半導体層12に接続されることになる。付加容量共通配線8はコンタクトホール7cを介して容量用上部電極6に接続され

る。その後、低抵抗多結晶シリコン薄膜のパターニングによって、第1図に示す形状のゲートバス配線1、2つのゲート電極3a及び3b、並びに容量用上部電極6を形成した。容量用上部電極6と前述の容量用下部電極5との間で、付加容量27が形成される。このゲート電極3a及び3bをマスクとし、且つ、フォトリソグラフィ法によって形成されたレジストをマスクとして、ゲート電極3a及び3bの下方以外の半導体層12の部分にイオン注入を行った。これにより、TFET25a及び25bのソース・ドレイン領域が形成される。

この基板上の全面に、シリコン酸化膜又はシリコン窒化膜をCVD法によって700nmの厚さに堆積させて絶縁層14を形成した。次に、第1図に示すように2つのコンタクトホール7a及び7cを形成した。絶縁層14として不純物をドーピングしたシリコン酸化膜を用いると、この不純物ドーピングシリコン酸化膜の軟化点が低いので、約1000℃に加熱することにより、絶縁層14の上面を

ることになる。付加容量共通配線8は表示装置として完成した後は、対向基板上の対向電極と同じ電位の電極に接続される。

次に、この基板上の全面に、シリコン酸化膜又はシリコン窒化膜をCVD法によって堆積させて層間絶縁膜17を形成した。次に、層間絶縁膜17にコンタクトホール7bを形成した。第2図に示すように、コンタクトホール7bは層間絶縁膜17、絶縁層14、及びゲート絶縁膜13を貫いて、半導体層12及び容量用下部電極5上に形成される。

更に、ITOから成る絵素電極4をパターン形成した。第1図に示すように、絵素電極4は、ソースバス配線2及び付加容量共通配線8上に重なるように形成されている。また、絵素電極4はコンタクトホール7b及び7c上、並びに付加容量27上にも形成されている。この絵素電極4はコンタクトホール7bを介して半導体層12に接続される。

本実施例では、絵素電極4とソースバス配線2、

及び絵素電極4と付加容量共通配線8とが、層間絶縁膜17を介して重畳されている。従って、絵素電極4をソースバス配線2及び付加容量共通配線8からの距離を考慮することなくパターン形成でき、開口率の高い表示装置が得られる。また、絵素電極4とソースバス配線2との間、及び絵素電極4と付加容量共通配線8との間からの光の漏れは生じないので、遮光膜をこれらの部分に重畳して形成する必要がなくなる。このことによって、開口率の高い表示装置が得られる。本実施例では遮光膜はソースバス配線2及び付加容量共通配線8の間の部分に重畳して形成される。遮光膜の幅は、ソースバス配線2及び付加容量共通配線8の間の部分の幅に、対向基板とアクティブマトリクス基板との間の重ね合わせの誤差を加えた大きさでよいことになる。

第1図の構成を有する本実施例のアクティブマトリクス表示装置について開口率を見積ると、48%となった。これに対し、第5図の構成を有する従来のアクティブマトリクス表示装置では、開

加容量共通配線8との間には、付加容量27と同様の機能を果たす寄生容量が形成されることになる。この寄生容量により、絵素電極4に印加された映像信号の保持特性は、更に改善される。

更に、絵素電極4を、その絵素電極4の前段の絵素電極4に接続されたゲートバス配線1上に重ねた構成とすることもできる。この構成により、絵素電極4の面積を大きくすることができ、開口率を向上させることができる。また、絵素電極4とゲートバス配線1との間の光の漏れが生じないので、遮光膜をこの部分に重畳して形成する必要がなくなり、遮光膜と絵素電極4との重なりに起因する開口率の低下が生じなくなる。また、ゲートバス配線1は、絵素電極4に映像信号が入力される間だけオン状態となり、それ以外の間は対向電極と同じ電位に設定されている。従って、この場合にも、絵素電極4とゲートバス配線1との間に、付加容量27と同じ機能を果たす寄生容量が形成される。この寄生容量により、絵素電極4に印加された映像信号の保持特性は、更に改善され

る。開口率は32%であった。このように本実施例では開口率が大幅に改善されていることがわかる。

本実施例では隣接する絵素電極4の間の幅は、絵素電極4の形成に用いるプロセスによって決まる最小のぬき幅以上、即ち、絵素電極4間を電氣的に分離し得る最小の幅以上に設定すればよいことになる。

本実施例では絵素電極4とソースバス配線との重なり幅、及び絵素電極4と付加容量共通配線8との重なり幅を等しく設定したが、絵素電極4とソースバス配線2との重なりを小さくし、絵素電極4と付加容量共通配線8との重なりを大きくすることもできる。この場合には、絵素電極4とソースバス配線2との間に形成される寄生容量が小さくなり、ソースバス配線2の電位の変動に起因する絵素電極4の電位の変動が小さくなるという利点がある。また、対向基板上の対向電極の電位を一定に保って表示装置を駆動する場合には、付加容量共通配線8の電位は対向基板上の対向電極の電位に等しく設定されるので、絵素電極4と付

る。

(発明の効果)

本発明のアクティブマトリクス表示装置では、信号線及び付加容量共通配線上の全面に層間絶縁膜が形成され、層間絶縁膜の上に絵素電極が形成されているので、絵素電極の面積を大きく設定することができる。また、遮光膜と絵素電極との重量部を小さくすることができるので、開口率を大きくすることができる。更に、本発明の表示装置は大きな付加容量を有する構成とすることもできる。従って、本発明によれば、開口率が大きく、高精細で、高い画像品位を有するアクティブマトリクス表示装置が提供され得る。

4. 図面の簡単な説明

第1図は本発明のアクティブマトリクス表示装置の1実施例に用いられるアクティブマトリクス基板のTFTアレイ部の平面図、第2図は第1図のII-II線に沿った断面図、第3図は第1図のIII-III線に沿った断面図、第4図は従来のアクティブマトリクス装置の平面模式図、第5図は第4図

の表示装置に用いられるアクティブマトリクス基板のTFTアレイ部の部分平面図、第6図は第5図のVI-VI線に沿った断面図である。

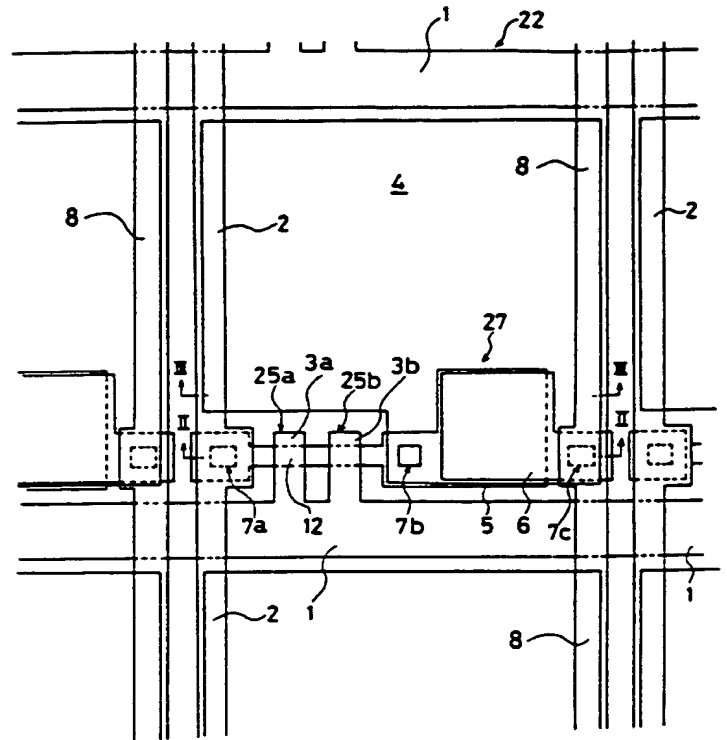
1…ゲートバス配線、2…ソースバス配線、3a, 3b…ゲート電極、4…絵素電極、5…容量用下部電極、6…容量用上部電極、7a, 7b, 7c…コンタクトホール、8…付加容量共通配線、11…透明絶縁性基板、12…半導体層、13…ゲート絶縁膜、14…絶縁層、17…層間絶縁膜、22…TFTアレイ部、25a, 25b…TFT、27…付加容量。

以上

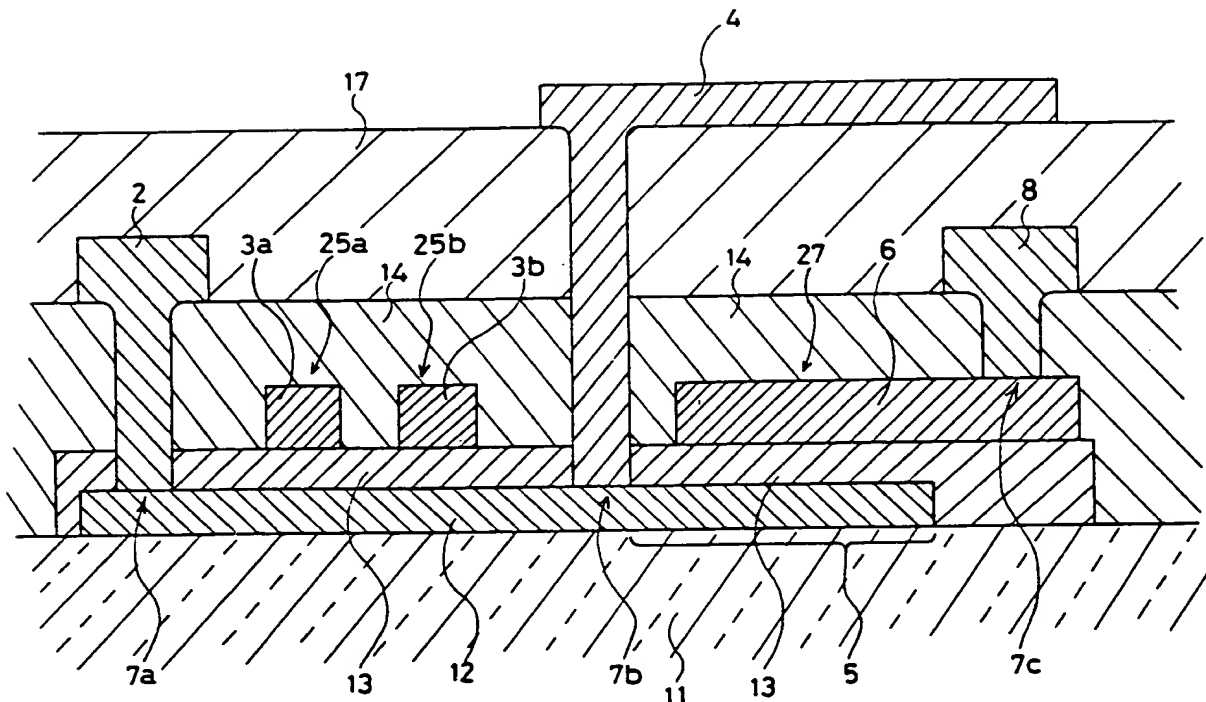
出願人 シャープ株式会社

代理人 弁理士 山本秀策

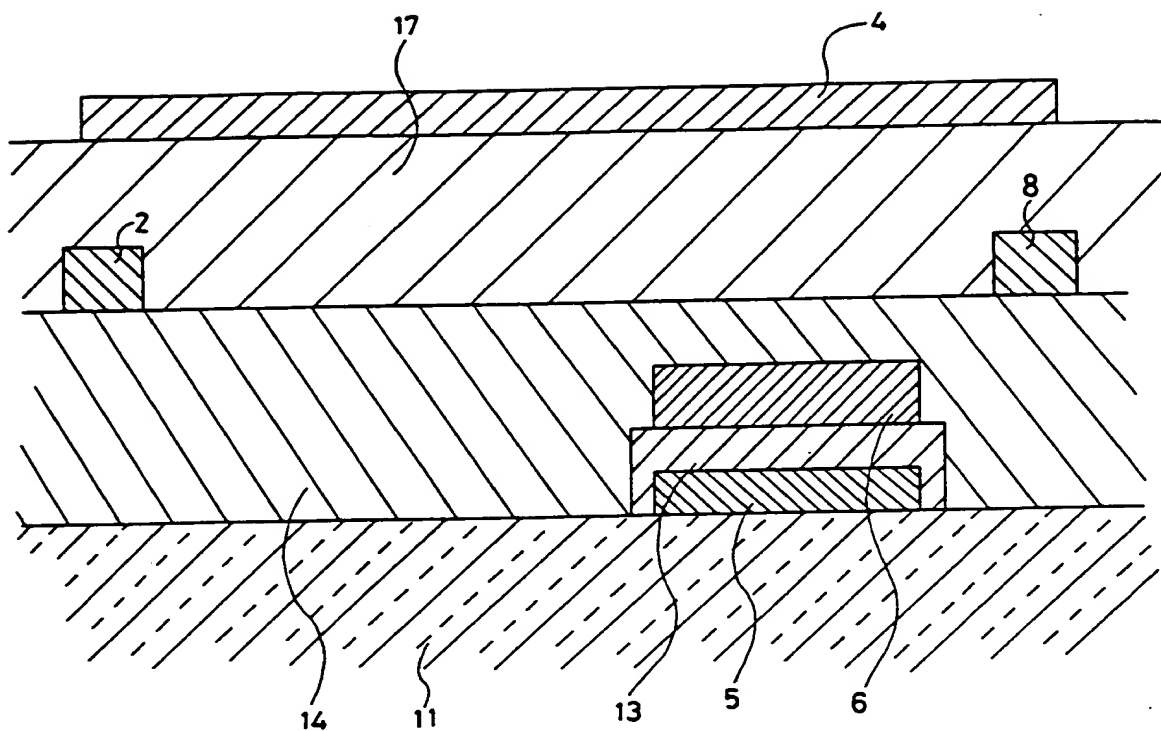
第1図



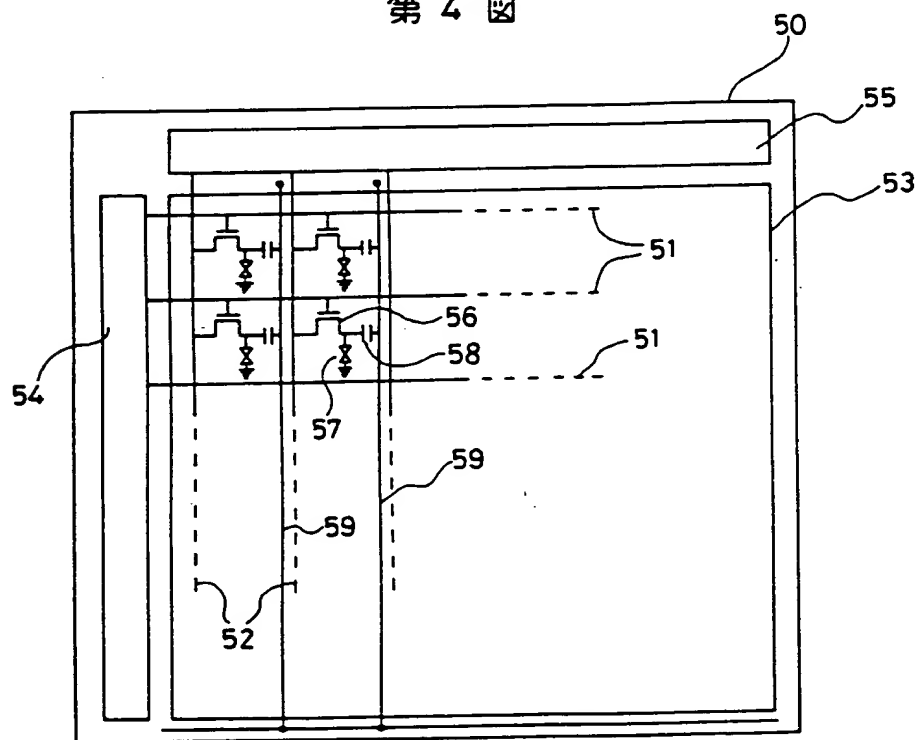
第2図



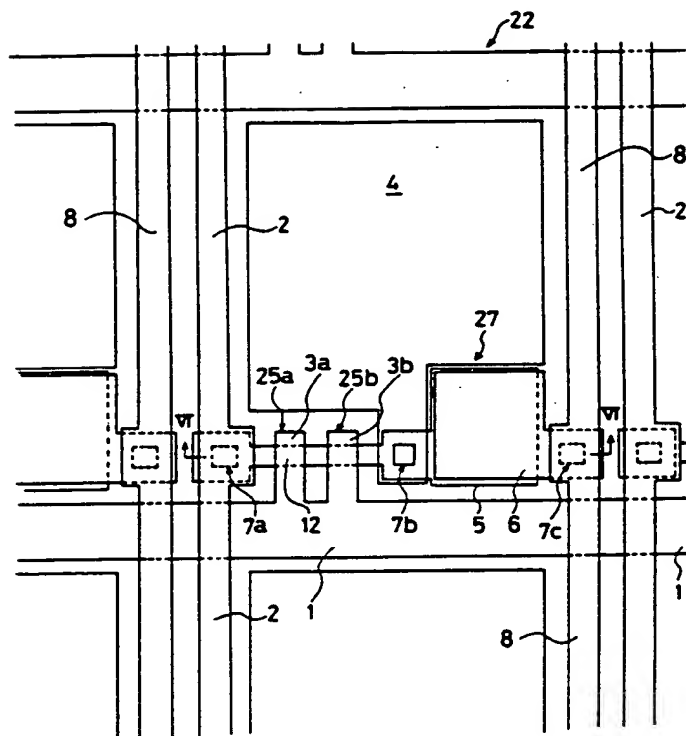
第 3 圖



第 4 圖



第 5 図



第 6 図

